

Osnove programirljivih vezij FPGA

Izobraževalni tečaj v sklopu TETRAMAX

16. 10. 2019, Predavalnica Mednarodne podiplomske šole,
Institut »Jožef Stefan«, Jamova cesta 39, 1000 Ljubljana

PROGRAM

- 12:30 – 13:00 Registracija
- 13:00 – 13:15 Nagovor udeležencem, direktor SRIP ToP, **Rudi Panjtar** in kratka predstavitev projekta [TETRAMAX](#), **Marina Santo Zarnik**, [Kompetenčni center CLEC](#), IJS.
- 13:15 – 14:00 Prvi del: Uvod v programirljiva vezja FPGA, gradniki in struktura vezij FPGA, družine vezij FPGA, **Anton Biassizo**, IJS
- 14:00 – 14:15 Odmor za kavo
- 14:15 – 15:45 Drugi del: Načrtovalska okolja, Načrtovanje in razhroščevanje HDL strukture, Analiza poročil načrtovalskega orodja, Konfiguracija vezja FPGA, Verifikacija implementirane HDL strukture, **Anton Biassizo**, IJS
- 15:45 – 16:00 Vprašanja in diskusija
- 16:00 Zaključek